

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-060625

(43)Date of publication of application : 06.03.2001

(51)Int.Cl.

H01L 21/82
G06F 17/50

(21)Application number : 11-233195

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 19.08.1999

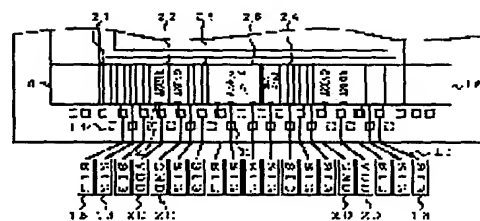
(72)Inventor : SUGIMOTO TOSHIKO

(54) RETRIEVAL OF CHIP PAD

(57)Abstract:

PROBLEM TO BE SOLVED: To make the positions of power-supply buffers coincide with each other by setting of the buffers using a jig and an LSI, which is a design object, to eliminate the need for the producing new jigs and to reduce the cost of the man-hours of the formation of the jig.

SOLUTION: A combined retrieval step has a temporarily combined retrieval step to automatically calculate internal lead connection chip pads of a combination optimum to internal leads 13 from input data, a step 2 to lay out power-supply buffers 22 on the leads 13 having a power-supply attribute ZD, a step to lay out IO regions for laying out a multi-cellular buffer constituting a buffer 25 and a signal cell constituting a buffer 24, a step to lay out prescribed insulating buffers 23, a step to correct a combination of the positions of the terminals 26 of IO buffers to the internal lead connection chip pads to the leads 13 from combined retrieval conditions and a step to check the combination subsequent to the correction of the combination.



LEGAL STATUS

[Date of request for examination] 12.07.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3349996

[Date of registration] 13.09.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-60625

(P2001-60625A)

(43) 公開日 平成13年3月6日 (2001.3.6)

(51) Int.Cl.⁷

識別記号

F I

テーマコード (参考)

H 0 1 L 21/82

H 0 1 L 21/82

P 5 B 0 4 6

G 0 6 F 17/50

G 0 6 F 15/60

6 6 6 S 5 F 0 6 4

審査請求 有 請求項の数 6 O L (全 13 頁)

(21) 出願番号

特願平11-233195

(22) 出願日

平成11年8月19日 (1999.8.19)

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会
社

神奈川県川崎市中原区小杉町1丁目403番
53

(72) 発明者 杉本 寿子

神奈川県川崎市中原区小杉町1丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

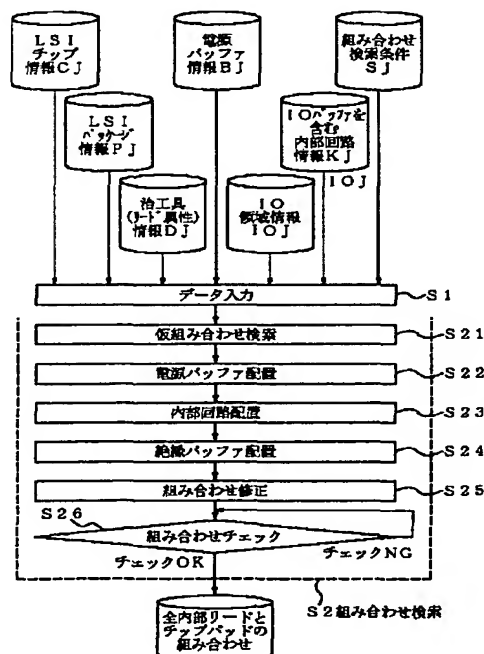
最終頁に続く

(54) 【発明の名称】 チップパッドの検索方法

(57) 【要約】

【課題】 治工具での設定と設計対象の L S I とで電源バッファの位置を一致させ、新たな治工具作成の必要をなくし、治工具作成の工数費用を削減する。

【解決手段】 組み合わせ検索ステップ S 2 が、入力データから内部リード 1 3 に対する最適な組み合わせの内部リード接続チップパッド 1 1 を自動的に算出する仮組み合わせ検索ステップ S 2 1 と、電源属性 Z D を持つ内部リード 1 3 に電源バッファ 2 2 を配置するステップ S 2 2 と、多セル及び 1 セル各構成バッファ 2 5, 2 4 を配置するための I O 領域を配置するステップ S 2 3 と、所定の絶縁バッファ 2 3 を配置するステップ S 2 4 と、I O バッファの端子 2 6 の位置と組み合わせ検索条件より内部リード 1 3 に対する内部リード接続チップパッド 1 1 の組み合わせを修正するステップ S 2 5 と、組み合わせ修正後の組み合わせチェックステップ S 2 6 とを有する。



1

【特許請求の範囲】

【請求項 1】 テープ方式のパッケージを使用する L S I の検索対象の L S I チップのデータを含む L S I チップ情報と、内部リードのデータを含むパッケージ情報と、内部リードの属性を含む治工具情報と、電源バッファの使用基本セル数を含む電源バッファ情報と、I O 領域のセルサイズを含む I O 領域情報と、配置対象の I O バッファのデータを含む内部回路情報と、内部リードとチップパッドの組み合わせるための組み合わせ検索条件とをそれぞれ格納した各ファイルから所定のデータを読み込むデータ入力ステップと、入力された前記データを用いて内部リードとチップパッドを組み合わせる組み合わせ検索ステップとから成り、前記内部リードと前記チップパッドとの最適な組み合わせを得るチップパッドの検索方法において、
前記組み合わせ検索ステップが、前記入力データから前記内部リードに対する最適な組み合わせの内部リード接続チップパッドを自動的に算出する仮組み合わせ検索ステップと、
電源属性を持つ内部リードに電源バッファを配置する電源バッファ配置ステップと、
多セル及び 1 セル各構成バッファを配置するための I O 領域を配置する内部回路配置ステップと、
所定の絶縁バッファを配置する絶縁バッファ配置ステップと、
I O バッファの端子の位置と組み合わせ検索条件より前記内部リードに対する内部リード接続用の接続チップパッドの組み合わせを修正する組み合わせ修正ステップと、
組み合わせ修正後の組み合わせチェックステップと、
を有することを特徴とするチップパッドの検索方法。

【請求項 2】 前記 L S I チップ情報が、L S I チップのレイアウトと形状データとチップパッド中心の x, y 座標及びチップサイズの各データを有し、
前記パッケージ情報が、内部リード形状とこの内部リードの本数及びこの内部リードのボンディング座標の各データを有し、
前記電源バッファ情報が、電源バッファが使用する L S I チップ上の基本セル数と端子位置の各データを有し、
前記 I O 領域情報が、I O 領域の x, y サイズと基本セルの大きさとコーナバッファ配置領域の大きさの各データを有し、
前記内部回路情報が、配置対象の I O バッファが使用する基本セル数及び端子位置の各データを有し、
前記組み合わせ検索条件が、内部リードを接続不可能なチップパッドと内部リードの最低連続接続本数及び空チップパッドの最高連続個数の各データを有することを特徴とする請求項 1 記載のチップパッドの検索方法。

【請求項 3】 前記仮組み合わせ検索ステップが、前記データ入力ステップで入力した L S I パッケージ情報

2

と、L S I チップ情報と、組み合わせ検索条件とから、全てのチップパッドのうち内部リードが接続可能なチップパッドである接続チップパッドのうちの最左端及び最右端の各接続チップパッドの座標を求め、これら最左端及び最右端の各接続チップパッドの座標からこれら最左端及び最右端の各接続チップパッドを含むこれら最左端及び最右端の各接続チップパッド間の領域である接続チップパッド領域を算出する第 1 のステップと、
前記第 1 のステップで算出した前記接続チップパッド領域内の全てのチップパッド数である接続チップパッド数をカウントする第 2 のステップと、
前記第 2 のステップで算出した前記接続チップパッド数より、前記内部リードの本数を引いて内部リードが接続されない空チップパッドの数である空チップパッド数を算出する第 3 のステップと、
前記接続チップパッド領域を前記空チップパッド数で除算し分割して分割領域を算出する第 4 のステップと、
前記第 4 のステップにて算出した前記分割領域内に属するチップパッドを算出する第 5 のステップと、
チップ内のセル配置領域のコーナ部分の領域であるコーナ領域に一番近い前記分割領域内のチップパッドを空チップパッドになるよう検索する第 6 のステップと、
前記空チップパッド以外の前記接続チップパッドを前記内部リードと組み合わせる第 7 のステップと、
前記第 7 のステップにて算出した前記内部リードと前記接続チップパッドの組み合わせが前記組み合わせ条件を満たすかどうかのチェックを行なう第 8 のステップと、
前記第 8 のステップのチェック結果から組み合わせを変更する前記内部リードと前記接続チップパッドに対し、一番近い前記空チップパッド位置を検索し、この検索した前記空チップパッドの位置まで前記内部リードと前記接続チップパッドの組み合わせを前記空チップパッド方向に 1 チップパッド分の距離だけずらす第 9 のステップと、
を有することを特徴とする請求項 1 記載のチップパッドの検索方法。

【請求項 4】 リードフレームを有するパッケージを使用する L S I の検索対象の L S I チップのデータを含む L S I チップ情報と、リードのデータを含むパッケージ情報と、リードの属性を含む治工具情報と、電源バッファの使用基本セル数を含む電源バッファ情報と、I O 領域のセルサイズを含む I O 領域情報と、配置対象の I O バッファのデータを含む内部回路情報と、リードとチップパッドの組み合わせるための組み合わせ検索条件とをそれぞれ格納した各ファイルから所定のデータを読み込むデータ入力ステップと、入力された前記データを用いてリードとチップパッドを組み合わせる組み合わせ検索ステップとから成り、前記リードと前記チップパッドとの最適な組み合わせを得るためのチップパッドの検索方法において、

3

前記組み合わせ検索ステップが、前記入力データから前記リードに対する最適な組み合わせのリード接続チップパッドを自動的に算出する仮組み合わせ検索ステップと、

電源属性を持つリードに電源バッファを配置する電源バッファ配置ステップと、

多セル及び1セル各構成バッファを配置するためのIO領域を配置する内部回路配置ステップと、

所定の絶縁バッファを配置する絶縁バッファ配置ステップと、

IOバッファの端子の位置と組み合わせ検索条件より前記リードに対するリード接続用の接続チップパッドの組み合わせを修正する組み合わせ修正ステップと、
組み合わせ修正後の組み合わせチェックステップとを有することを特徴とするチップパッドの検索方法。

【請求項5】 前記LSIチップ情報が、LSIチップのレイアウトと形状データとチップパッド中心のx、y座標及びチップサイズの各データを有し、

前記パッケージ情報が、リード形状とこのリードの本数及びこのリードのボンディング座標の各データを有し、
前記電源バッファ情報が、電源バッファが使用するLSIチップ上の基本セル数と端子位置の各データを有し、
前記IO領域情報が、IO領域のx、yサイズと基本セルの大きさとコーナバッファ配置領域の大きさの各データを有し、

前記内部回路情報が、配置対象のIOバッファが使用する基本セル数及び端子位置の各データを有し、

前記組み合わせ検索条件が、リードフレームの最大ワイヤ長と最小ワイヤ長とワイヤ角度とリードを接続不可能なチップパッドとリードの最低連続接続本数及び空チップパッドの最高連続個数の各データを有することを特徴とする請求項4記載のチップパッドの検索方法。

【請求項6】 前記仮組み合わせ検索ステップが、前記データ入力ステップで入力したLSIパッケージ情報と、LSIチップ情報と、組み合わせ検索条件とから、左右のコーナ領域に一番近接した外部接続用のリードに対し、前記組み合わせ検索条件を満たすとともに前記コーナ領域に一番近いコーナチップパッドを算出し、前記リードが接続可能なチップパッド領域であるリード接続チップパッド領域を算出する第1のステップと、

前記第1のステップで算出した前記リード接続チップパッド領域内の接続チップパッド数をカウントする第2のステップと、

前記第2のステップで算出した前記チップパッド数より前記リードの本数を引いて前記リードが接続されない空チップパッドの数である空チップパッド数を算出する第3のステップと、

前記リード接続チップパッド領域を前記空チップパッド数で除算し分割して分割領域を算出する第4のステップと、

4

前記第4のステップにて算出した前記分割領域内に属するチップパッドを算出する第5のステップと、

チップ内のセル配置領域のコーナ部分の領域であるコーナ領域に一番近い左右両端の前記分割領域内の各々のチップパッドを空チップパッドになるよう検索する第6のステップと、

前記空チップパッド以外の前記リード接続チップパッドを前記リードと組み合わせる第7のステップと、

前記第7のステップにて算出した前記リードと前記リード接続チップパッドの組み合わせが前記組み合わせ条件を満たすかどうかのチェックを行なう第8のステップと、

前記第8のステップのチェック結果から組み合わせを変更する前記リードと前記リード接続チップパッドに対し、一番近い前記空チップパッド位置を検索し、この検索した前記空チップパッドの位置まで前記リードと前記リード接続チップパッドの組み合わせを前記空チップパッド方向に1チップパッド分の距離だけずらす第9のステップと、

を有することを特徴とする請求項4記載のチップパッドの検索方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はチップパッドの検索方法に関し、特にCADによるASIC等の少量生産の半導体集積回路の設計におけるIOバッファの配置位置と治工具を考慮したチップパッドの検索方法に関する。

【0002】

【従来の技術】ASIC等少量生産の大規模半導体集積回路（以下、LSI）では、製造工程における特性試験等に用いる治工具作成のための工数や製作費等の費用削減のため、予め準備されている治工具である例えば汎用のテストボード（DUTボード）を使用する。そのため、設計対象のLSI内部における内部回路、特に電源ブロックの配置位置は、治工具の電源供給端子位置を含む治工具情報より読み込んだリードの属性に依存する。

【0003】特開平10-320445号公報（文献1）記載の従来のチップパッドの検索方法は、IOバッファを含む内部回路についての情報、リードを含むリードフレームの情報及びボンディングワイヤ実装基準から使用するIOバッファ、チップパッドを算出し、チップパッドに対するボンディングワイヤ実装基準を満足するリードを検索している。

【0004】文献1記載の従来のチップパッドの検索方法をフローチャートで示す図9を参照して、この従来のチップパッドの検索方法について説明すると、まず、検索対象のマススライス型LSIのマススライスのIOバッファを含む内部回路についての情報であるベースレイ情報を読み込み（ステップP1）、また、このベ

5

ースアレイ情報に組み合わせる1つのリードフレーム情報を読み込む(ステップP2)。さらに、ステップP2で読み込んだリードフレームに対応するボンディングワイヤ実装基準情報を読み込む(ステップP3)。

【0005】ステップP1、P2で読み込まれたベースアレイ情報とリードフレーム情報に基づき、IOバッファの位置及びそれに対応するボンディングパッドの位置を算出し、さらに、このボンディングパッドとこれに対応させるべきリードとの最適な1組の組み合わせを算出するとともに、算出結果がステップP3で読み込まれたボンディングワイヤ実装基準を満足するか否かを判定する(ステップP4)。

【0006】否の場合、ボンディングワイヤ経路群の出力はなく、諾の場合のみ上記基準を満たすボンディングワイヤ経路群データを出力する(ステップP5)。

【0007】データ出力は、実装基準を満たすボンディングワイヤ群から成る経路情報、及びそのボンディングワイヤ経路群を構成するリードフレームが組み合わせられたマスタスライス特定用のベースアレイ組み合わせ識別情報を含む(ステップP6)。

【0008】データ出力がないとき、あるいは処理対象のデータベースの最後のリードフレームであるかを判定(ステップP7)し、否の場合はステップP2に戻り、諾の場合ステップP8に進む。

【0009】ステップP8では、マスタスライスが最後の検索対象マスタスライスであるかの判定し、諾の場合は、処理を終了し、否の場合は、ステップP1に戻り次のマスタスライスについて上記処理を行う。

【0010】これにより、IOバッファを含む内部回路を考慮したリードとチップパッドの組み合わせを検索することは可能である。

【0011】しかし、この従来技術では、予め準備されている治工具の治工具情報から読み込んだリードの属性により配置対象LSIの電源バッファの配置位置を特に検索しておらず、設計対象のLSIの内部回路情報からリードの属性を算出している。このため、上記内部回路の電源位置は電源バッファの配置が上記治工具が準備している試験対象LSIの内部回路の電源位置と一致するとは限らない。設計対象のLSIの内部回路の電源位置、すなわち、対応する電源バッファの配置が、試験対象LSIの電源位置対応の電源バッファの配置と異なる場合は、必要とするテストボードも当然異なり、このテストボード、すなわち、治工具を新規に作成しなければならず、治工具作成の工数・費用を削減することができない。

【0012】

【発明が解決しようとする課題】上述した従来のチップパッドの検索方法は、予め準備されている治工具の治工具情報から読み込んだリードの属性により配置対象のLSIの電源バッファの配置位置を特に検索しておらず、

6

設計対象のLSIの内部回路情報のみからリードの属性を算出しているため、設計対象LSIの電源バッファの配置位置が上記治工具が準備している試験対象LSIの内部回路の電源バッファの配置位置と一致するとは限らず、これら電源バッファの配置位置が相互に異なる場合は、必要とするテストボードも当然異なり、このテストボード、すなわち、治工具を新規に作成しなければならず、治工具作成の工数・費用を削減することができないという欠点があった。

【0013】本発明の目的は、上記問題点を解決し、治工具で予め設定している電源バッファの位置と設計対象のLSIの電源バッファの位置とを一致させ、新たな治工具作成の必要をなくすことにより、治工具作成の工数費用を削減できるチップパッドの検索方法を提供することにある。

【0014】

【課題を解決するための手段】第1の発明のチップパッドの検索方法は、テープ方式のパッケージを使用するLSIの検索対象のLSIチップのデータを含むLSIチップ情報と、内部リードのデータを含むパッケージ情報と、内部リードの属性を含む治工具情報と、電源バッファの使用基本セル数を含む電源バッファ情報と、IO領域のセルサイズを含むIO領域情報と、配置対象のIOバッファのデータを含む内部回路情報と、内部リードとチップパッドの組み合わせるための組み合わせ検索条件とをそれぞれ格納した各ファイルから所定のデータを読み込むデータ入力ステップと、入力された前記データを用いて内部リードとチップパッドを組み合わせる組み合わせ検索ステップとから成り、前記内部リードと前記チップパッドとの最適な組み合わせを得るチップパッドの検索方法において、前記組み合わせ検索ステップが、前記入力データから前記内部リードに対する最適な組み合わせの内部リード接続チップパッドを自動的に算出する仮組み合わせ検索ステップと、電源属性を持つ内部リードに電源バッファを配置する電源バッファ配置ステップと、多セル及び1セル各構成バッファを配置するためのIO領域を配置する内部回路配置ステップと、所定の絶縁バッファを配置する絶縁バッファ配置ステップと、IOバッファの端子の位置と組み合わせ検索条件より前記内部リードに対する内部リード接続用の接続チップパッドの組み合わせを修正する組み合わせ修正ステップと、組み合わせ修正後の組み合わせチェックステップと、を有することを特徴とするものである。

【0015】また、前記LSIチップ情報が、LSIチップのレイアウトと形状データとチップパッド中心のx、y座標及びチップサイズの各データを有し、前記パッケージ情報が、内部リード形状とこの内部リードの本数及びこの内部リードのボンディング座標の各データを有し、前記電源バッファ情報が、電源バッファが使用するLSIチップ上の基本セル数と端子位置の各データを

7

有し、前記IO領域情報が、IO領域のx、yサイズと基本セルの大きさとコーナバッファ配置領域の大きさの各データを有し、前記内部回路情報が、配置対象のIOバッファが使用する基本セル数及び端子位置の各データを有し、前記組み合わせ検索条件が、内部リードを接続不可能なチップパッドと内部リードの最低連続接続本数及び空チップパッドの最高連続個数の各データを有するものでも良い。

【0016】さらに、前記仮組み合わせ検索ステップが、前記データ入力ステップで入力したLSIパッケージ情報と、LSIチップ情報と、組み合わせ検索条件とから、全てのチップパッドのうち内部リードが接続可能なチップパッドである接続チップパッドのうちの最左端及び最右端の各接続チップパッドの座標を求め、これら最左端及び最右端の各接続チップパッドの座標からこれら最左端及び最右端の各接続チップパッドを含むこれら最左端及び最右端の各接続チップパッド間の領域である接続チップパッド領域を算出する第1のステップと、前記第1のステップで算出した前記接続チップパッド領域内の全てのチップパッド数である接続チップパッド数をカウントする第2のステップと、前記第2のステップで算出した前記接続チップパッド数より、前記内部リードの本数を引いて内部リードが接続されない空チップパッドの数である空チップパッド数を算出する第3のステップと、前記接続チップパッド領域を前記空チップパッド数で除算し分割して分割領域を算出する第4のステップと、前記第4のステップにて算出した前記分割領域内に属するチップパッドを算出する第5のステップと、チップ内のセル配置領域のコーナ部分の領域であるコーナ領域に一番近い前記分割領域内のチップパッドを空チップパッドになるよう検索する第6のステップと、前記空チップパッド以外の前記接続チップパッドを前記内部リードと組合わせる第7のステップと、前記第7のステップにて算出した前記内部リードと前記接続チップパッドの組み合わせが前記組み合わせ条件を満たすかどうかのチェックを行なう第8のステップと、前記第8のステップのチェック結果から組み合わせを変更する前記内部リードと前記接続チップパッドに対し、一番近い前記空チップパッド位置を検索し、この検索した前記空チップパッドの位置まで前記内部リードと前記接続チップパッドの組み合わせを前記空チップパッド方向に1チップパッド分の距離だけずらす第9のステップと、を有するものでも良い。

【0017】第2の発明のチップパッドの検索方法は、リードフレームを有するパッケージを使用するLSIの検索対象のLSIチップのデータを含むLSIチップ情報と、リードのデータを含むパッケージ情報と、リードの属性を含む治工具情報と、電源バッファの使用基本セル数を含む電源バッファ情報と、IO領域のセルサイズを含むIO領域情報と、配置対象のIOバッファのデー

8

タを含む内部回路情報と、リードとチップパッドの組み合わせるための組み合わせ検索条件とをそれぞれ格納した各ファイルから所定のデータを読み込むデータ入力ステップと、入力された前記データを用いてリードとチップパッドを組み合わせる組み合わせ検索ステップとから成り、前記リードと前記チップパッドとの最適な組み合わせを得るためのチップパッドの検索方法において、前記組み合わせ検索ステップが、前記入力データから前記リードに対する最適な組み合わせのリード接続チップパッドを自動的に算出する仮組み合わせ検索ステップと、電源属性を持つリードに電源バッファを配置する電源バッファ配置ステップと、多セル及び1セル各構成バッファを配置するためのIO領域を配置する内部回路配置ステップと、所定の絶縁バッファを配置する絶縁バッファ配置ステップと、IOバッファの端子の位置と組み合わせ検索条件より前記リードに対するリード接続用の接続チップパッドの組み合わせを修正する組み合わせ修正ステップと、組み合わせ修正後の組み合わせチェックステップとを有することを特徴とするものである。

【0018】また、前記LSIチップ情報が、LSIチップのレイアウトと形状データとチップパッド中心のx、y座標及びチップサイズの各データを有し、前記パッケージ情報が、リード形状とこのリードの本数及びこのリードのボンディング座標の各データを有し、前記電源バッファ情報が、電源バッファが使用するLSIチップ上の基本セル数と端子位置の各データを有し、前記IO領域情報が、IO領域のx、yサイズと基本セルの大きさとコーナバッファ配置領域の大きさの各データを有し、前記内部回路情報が、配置対象のIOバッファが使用する基本セル数及び端子位置の各データを有し、前記組み合わせ検索条件が、リードフレームの最大ワイヤ長と最小ワイヤ長とワイヤ角度とリードを接続不可能なチップパッドとリードの最低連続接続本数及び空チップパッドの最高連続個数の各データを有するものでも良い。

【0019】さらに、前記仮組み合わせ検索ステップが、前記データ入力ステップで入力したLSIパッケージ情報と、LSIチップ情報と、組み合わせ検索条件とから、左右のコーナ領域に一番近接した外部接続用のリードに対し、前記組み合わせ検索条件を満たすとともに前記コーナ領域に一番近いコーナチップパッドを算出し、前記リードが接続可能なチップパッド領域であるリード接続チップパッド領域を算出する第1のステップと、前記第1のステップで算出した前記リード接続チップパッド領域内の接続チップパッド数をカウントする第2のステップと、前記第2のステップで算出した前記チップパッド数より前記リードの本数を引いて前記リードが接続されない空チップパッドの数である空チップパッド数を算出する第3のステップと、前記リード接続チップパッド領域を前記空チップパッド数で除算し分割して分割領域を算出する第4のステップと、前記第4のステ

チップにて算出した前記分割領域内に属するチップパッドを算出する第5のステップと、チップ内のセル配置領域のコーナ部分の領域であるコーナ領域に一番近い左右両端の前記分割領域内の各々のチップパッドを空チップパッドになるよう検索する第6のステップと、前記空チップパッド以外の前記リード接続チップパッドを前記リードと組み合わせる第7のステップと、前記第7のステップにて算出した前記リードと前記リード接続チップパッドの組み合わせが前記組み合わせ条件を満たすかどうかのチェックを行なう第8のステップと、前記第8のステップのチェック結果から組み合わせを変更する前記リードと前記リード接続チップパッドに対し、一番近い前記空チップパッド位置を検索し、この検索した前記空チップパッドの位置まで前記リードと前記リード接続チップパッドの組み合わせを前記空チップパッド方向に1チップパッド分の距離だけずらす第9のステップと、を有するものでも良い。

【0020】

【発明の実施の形態】次に、本発明の好適な実施の形態について、図面を参照して説明する。

【0021】本実施の形態では、CADによるLSIの設計におけるI/Oバッファ、特に電源バッファの配置位置と治工具の試験対象として設定しているLSIの電源バッファ位置を考慮したチップパッドの検索方法を説明する。

【0022】次に、本発明の第1の実施の形態をフローチャートで示す図1を参照すると、この図に示す本実施の形態のチップパッドの検索方法は、TAB方式のLSIのように、テープ(TAPE)パッケージを使用するLSIの場合における内部リードとチップパッドの組み合わせ検索方法の処理フローを示し、LSIチップ情報、パッケージ情報、治工具情報、電源バッファ情報、I/O領域情報、内部回路情報、組み合わせ検索条件等を格納した各ファイルからデータを読み込むデータ入力ステップS1と、入力されたデータを用いて内部リードとチップパッドを組み合わせる組み合わせ検索ステップS2とから構成される。

【0023】テープパッケージの代表であるTAB方式は、公知のように、LSIのチップからリードを取り出すための接続技術の1つであり、薄型・小型の高密度実装を可能とするのみならず、例えば100ピン程度以上の多ピン一括ボンディングが可能であることから、生産性の向上に適している等、多くの特徴を有する。TAB方式では、LSIチップ上にチップパッドであるバンパを、TABテープに内部リードをそれぞれ設け、これらバンパと内部リードを内部リードボンディング工程で全組一括ボンディングする。従って一般的なLSIパッケージにおけるようなリードフレームやボンディングワイヤは不要である。

【0024】データ入力ステップS1では、LSIチッ

プ情報CJ、LSIパッケージ情報PJ、治工具情報DJ、電源バッファ情報BJ、I/O領域情報IOJ、内部回路情報KJ、組み合わせ検索条件SJを入力する。

【0025】組み合わせ検索ステップS2は、入力データから内部リード13に対する最適な組み合わせの内部リード接続チップパッド11を自動的に算出する仮組み合わせ検索ステップS21と、電源属性ZDを持つ内部リードに電源バッファ22を配置する電源バッファ配置ステップS22と、多セル及び1セル各構成バッファを配置するためのI/O領域を配置する内部回路配置ステップS23と、所定の絶縁バッファ23を配置する絶縁バッファ配置ステップS24と、I/Oバッファの端子26の位置と組み合わせ検索条件より内部リード13に対する内部リード接続チップパッド11の組み合わせを修正する組み合わせ修正ステップS25と、組み合わせ修正後の組み合わせチェックステップS26とから成る。

【0026】仮組み合わせ検索ステップS21では、ステップS1にて入力したLSIチップ情報CJ、LSIパッケージ情報PJ、I/O領域情報IOJ、組み合わせ検索条件を用いて内部リード13に対する最適な組み合わせの内部リード接続チップパッド11を自動的に算出する。

【0027】電源バッファ配置ステップS22では、ステップS1にて入力した電源バッファ情報BJと、リード属性を含む治工具情報DJとを用いてGND、VDD等の電源属性ZDを持つ内部リードに電源バッファ22を配置する。

【0028】内部回路配置ステップS23では、ステップS1にて入力した内部回路情報から、使用する多セル構成バッファ及び1セル構成バッファを読み込み、I/Oバッファの端子位置25と内部リード接続チップパッドの位置と、ステップS22で配置した電源バッファの配置位置とから多セル構成バッファ及び1セル構成バッファをそれぞれ配置するために必要なI/O領域を算出し、上記各バッファを算出したI/O領域に配置する。

【0029】絶縁バッファ配置ステップS24では、電源属性ZDのチェックを行い、電源電圧、極性が異なるバッファが隣接し絶縁を行なう場合は絶縁バッファ23を配置する。

【0030】組み合わせ修正ステップS25では、ステップS22～S24にて配置したI/Oバッファの端子位置26と組み合わせ検索条件とから、内部リード13に対する内部リード接続チップパッド11の組み合わせを修正する。

【0031】組み合わせチェックステップS26では、ステップS25で修正した内部リード13と内部リード接続チップパッド11の組み合わせが組み合わせ条件SJを満たすかどうかのチェックを行なう。

【0032】組み合わせ修正ステップS25と、組み合わせチェックステップS26は組み合わせ条件SJを満

たすまで繰り返し行なう。

【0033】次に、図1、内部リードとチップパッドの仮組み合わせ検索方法をフローチャートで示す図2及びテープパッケージを使用する場合の内部リードに対するチップパッドの仮組み合わせを示す検索図である図3を参照して本実施の形態のステップS21の処理について詳細に説明すると、まず、データ入力ステップS1では、上述したように、LSIチップ情報CJ、LSIパッケージ情報PJ、治工具情報DJ、電源バッファ情報BJ、IO領域情報IOJ、内部回路情報KJ、組み合わせ検索条件SJを入力する。これら各情報の格納ファイルはそれぞれ以下のデータを格納している。

【0034】LSIチップ情報CJ格納ファイルは、LSIチップのレイアウトと、形状データと、チップパッド中心のx、y座標、及びチップサイズの各データを格納している。

【0035】LSIパッケージ情報PJ格納ファイルは、内部リード形状と、内部リード本数、及び内部リードのボンディング座標の各データを格納している。

【0036】治工具情報DJ格納ファイルは、内部リードの属性ZLのデータを格納している。

【0037】電源バッファ情報DJ格納ファイルは、電源バッファが使用するLSIチップ上の基本セル数、端子位置の各データを格納している。

【0038】IO領域情報IOJ格納ファイルは、IO領域のx、yサイズ、基本セルの大きさ、コーナバッファ配置領域の大きさの各データを格納している。

【0039】内部回路情報KJ格納ファイルは、配置対象のIOバッファが使用する基本セル数、及び端子位置の各データを格納している。

【0040】組み合わせ検索条件SJ格納ファイルは、内部リードを接続できないチップパッドと、内部リードの最低連続接続本数、及び空チップパッドの最高連続個数の各データを格納している。

【0041】次に、チップパッド領域算出ステップS211で、データ入力ステップS1で入力したLSIパッケージ情報PJ、LSIチップ情報CJ、組み合わせ検索条件SJから、全てのチップパッドのうち、内部リードが接続可能なチップパッド（以下、内部リード接続チップパッド）11のうちの最左端及び最右端（以下、左右端）の各内部リード接続チップパッド11の座標を求め、これらの座標からこれら左右端の各内部リード接続チップパッド11を含む左右端接続チップパッド間の領域である内部リードが接続可能なチップパッド領域（以下、接続チップパッド領域）10を算出する。なお、接続チップパッド領域の外側、すなわち、最左端接続チップパッドの左側及び最右端接続チップパッドの右側のチップパッドは内部リードが接続不可能なチップパッド（以下、接続不可チップパッド）12である。

【0042】チップパッドカウントステップS212

で、ステップS211で算出した接続チップパッド領域10内の全てのチップパッド数である内部リード接続チップパッド数をカウントする。

【0043】空チップパッド算出ステップS213で、ステップS212で算出し内部リード接続チップパッド数より、内部リードの本数を引いて内部リードが接続されない空チップパッド数を算出する。

【0044】チップパッド領域分割ステップS214で、バランス良く内部リード13とチップパッドの組み合わせを検索出来るよう空チップパッドをバランス良く配置する必要があるため、接続チップパッド領域10を空チップパッド数で除算し分割して分割領域15を算出する。

【0045】分割領域チップパッド算出ステップS215で、ステップS214にて算出した分割領域15内に属するチップパッドを算出する。このとき、2つの分割領域15にまたがるチップパッドが存在する場合は、チップパッドの中心座標がどちらの領域にあるかで属する領域を判断する。また、2つの分割領域15にまたがるチップパッドの中心座標が分割領域間の境界にある場合は、チップ内のセル配置領域のコーナ部分の領域であるコーナ領域16に近い分割領域に属すると判断する。

【0046】空チップパッド指定ステップS216で、空チップパッドの自動検索をするために、分割領域内のコーナ領域16に一番近いチップパッドを空チップパッド14になるよう検索する。

【0047】内部リード接続ステップS217で、空チップパッド14以外の内部リード接続チップパッド11を内部リード13と組み合わせる。

【0048】仮組み合わせチェックステップS218で、ステップS217にて算出した内部リード13と内部リード接続チップパッド11の組み合わせが組み合わせ条件SJを満たすかどうかのチェックを行なう。

【0049】仮組み合わせ修正ステップS219で、ステップS218のチェック結果から組み合わせを変更する内部リード13と内部リード接続チップパッド11に対し、一番近い空チップパッド14位置を検索し、この検索した空チップパッド14の位置まで内部リード13と内部リード接続チップパッド11の組み合わせを空チップパッド14方向に1チップパッド分の距離だけずらす。

【0050】仮組み合わせチェックステップS218と、仮組み合わせ修正ステップS219を組み合わせ条件SJを満たすまで繰り返し行なう。

【0051】次に、テープパッケージを使用する場合のIOバッファを含み、内部回路、治工具を考慮した内部リードに対するチップパッドの組み合わせを示す検索図である図4を併せて参照して、電源バッファ配置ステップS22と、内部回路配置ステップS23と、絶縁バッファ配置ステップS24と、組み合わせ修正ステップS

13

25、及び組み合わせチェックステップS26の詳細動作について説明すると、まず、電源バッファ配置ステップS22で、データ入力ステップS1にて入力したIOバッファ情報を基にIO領域を基本セルである1セルバッファ領域21の大きさに分割し、GND（接地）、VDD（正電源）等の電源属性ZDを読み込み、電源バッファ情報より電源属性ZDの内部リードに配置する電源バッファを読み込み、この電源バッファを電源属性ZDの内部リードに対するチップパッドに一番近いIO領域に配置する。

【0052】内部回路配置ステップS23で、ステップS1にて入力した内部回路情報より使用する多セル構成バッファ25、1セル構成バッファ24を読み込み、IOバッファの端子26の位置、リード接続チップパッド19の位置、電源バッファ配置（ステップS22）で配置した電源バッファ22の配置位置より多セル構成バッファ25、1セル構成バッファ24を配置出来るIO領域を算出し、このIO領域に多セル構成バッファ25、1セル構成バッファ24を配置する。

【0053】多セル構成バッファ25の配置位置の検索²⁰方法は、多セル構成バッファ25の端子26の位置、及び個数より多セル構成バッファ25が使用する基本セル数、すなわち、1セルバッファ領域21の個数及びチップパッド数を算出する。電源ブロックが配置されていないIO領域において、多セル構成バッファ25が使用する基本セル数、及びチップパッド数の分の連続使用可能な領域を検索し、この領域に多セル構成バッファ25を配置する。

【0054】絶縁バッファ配置ステップS24で、電源属性ZDのチェックを行い、電圧や極性が異なる電源バッファが隣接し、絶縁を行なう場合は絶縁バッファ23を配置する。

【0055】組み合わせ修正ステップS25で、ステップS22～S24にて配置したIOバッファの端子位置26より内部リード13と内部リード接続チップパッド11の組み合わせ修正箇所を算出し、IOブロックの配置位置に合わせて内部リード13と内部リード接続チップパッド11の組み合わせLPを変更する。

【0056】組み合わせチェックステップS26で、ステップS25で修正した内部リード13と内部リード接続チップパッド11の組み合わせLPが組み合わせ条件SJを満たすかどうかのチェックを行なう。

【0057】組み合わせ修正ステップS25及び組み合わせ修正ステップS26は組み合わせLPが組み合わせ条件SJを満たすまで繰り返し行なう。

【0058】以上説明したように、本実施の形態のチップパッドの検索方法は、以下に記載するような効果を奏する。

【0059】第1の効果は、すでに準備されている治工具のデータを入力して内部リードとチップパッドの組み

14

合わせを検索することにより、治工具で予め設定している電源配置に対応する電源バッファの位置と設計対象のLSIの電源配置対応の電源バッファの位置とを一致させることが可能であるので、新たな治工具を作成する必要がなくなり、治工具作成の工数費用を削減できることである。

【0060】第2の効果は、治工具のデータを入力して内部リードとチップパッドの組み合わせを検索することにより、IOバッファの配置位置を入力しているのでチップサイズや、治工具が変更になった場合でも内部リードとチップパッドと組み合わせの変更を容易にできることである。

【0061】次に、本発明の第2の実施の形態について説明する。本実施の形態は一般的なリードフレームを有するパッケージ（以下、リードフレームパッケージ）を使用する場合に適用するものである。

【0062】図1、図2と共通の処理には共通の参照文字／数字を付して同様にフローチャートで示す図5、図6と、リードフレームパッケージを使用する場合のリードに対するチップパッドの仮組み合わせを示す検索図である図7及びIOバッファを含み、内部回路、治工具を考慮した内部リードに対するチップパッドの組み合わせを示す検索図である図8を参照して、本実施の形態の動作について第1の実施の形態との相違点を重点的に説明すると、まず、データ入力ステップS1Aで、LSIチップ情報CJA、LSIパッケージ情報PJA、治工具情報DJA、電源バッファ情報BJA、IO領域情報IOJA、内部回路情報KJA、組み合わせ検索条件SJAを入力する。

【0063】LSIチップ情報CJA格納ファイルは、LSIチップのレイアウトと、形状データと、チップパッド中心のx、y座標、及びチップサイズの各データを格納している。

【0064】LSIパッケージ情報PJA格納ファイルは、リード形状と、リード本数、及びリードのボンディング座標の各データを格納している。

【0065】治工具情報DJA格納ファイルは、リードの属性のデータを格納している。

【0066】電源バッファ情報DJA格納ファイルは、電源バッファが使用するLSIチップ上の基本セル数、端子位置の各データを格納している。

【0067】IO領域情報IOJA格納ファイルは、IO領域のx、yサイズ、基本セルの大きさ、コーナバッファ配置領域の大きさの各データを格納している。

【0068】内部回路情報KJA格納ファイルは、配置対象のIOバッファが使用する基本セル数、及び端子位置の各データを格納している。

【0069】組み合わせ検索条件SJA格納ファイルは、リードフレームの最大ワイヤー長と、最小ワイヤー長と、ワイヤー角度と、リードを接続できないチップパ

15

ッドと、リードの最低連続接続本数、及び空チップパッドの最高連続個数の各データを格納している。

【0070】次に、組み合わせ検索ステップS21Aを実行する。チップパッド領域算出ステップS211Aで、ステップS1で入力したLSIパッケージ情報PJ、LSIチップ情報CJ、組み合わせ検索条件SJAから、左右のコナ領域16に一番近接した外部接続用のリード18に対し、組み合わせ検索条件SJを満たすとともにコナ領域16に一番近いコナチップパッド17を算出し、リード18が接続可能なチップパッド領域であるリード接続チップパッド領域20を算出する。

【0071】チップパッドカウントステップS212Aで、ステップS211Aで算出したリード接続チップパッド領域20内のチップパッド数をカウントする。

【0072】空チップパッド算出ステップS213Aで、ステップS212Aで算出したチップパッド数より、リード18の本数を引いて空チップパッド14の数を算出する。

【0073】チップパッド領域分割ステップS214Aで、バランス良くリード18とチップパッドの組み合わせを検索出来るよう空チップパッド14をバランス良く配置する必要があるため、リード接続チップパッド領域20を空チップパッド数で除算し分割して分割領域27を算出する。

【0074】分割領域チップパッド算出ステップS215Aで、ステップS214Aにて算出した分割領域27内に属するチップパッドを算出する。このとき、2つの分割領域27にまたがるチップパッドが存在する場合は、チップパッドの中心座標がどちらの領域にあるかで属する領域を判断する。また、2つの分割領域27にまたがるチップパッドの中心座標が分割領域間の境界にある場合は、チップ内のセル配置領域のコナ部分の領域であるコナ領域16に近い分割領域に属すると判断する。

【0075】空チップパッド指定ステップS216Aで、空チップパッドの自動検索をするために左右両端の分割領域内のコナ領域16にそれぞれ一番近いチップパッドを空チップパッド14になるよう検索する。

【0076】内部リード接続ステップS217Aで、空チップパッド14以外のリード接続チップパッド19とリード18とを組み合わせる。

【0077】仮組み合わせチェックステップS218Aで、ステップS217Aにて算出したリード18とリード接続チップパッド19の組み合わせが組み合わせ条件SJを満たすかどうかのチェックを行なう。

【0078】仮組み合わせ修正ステップS219Aで、ステップS218Aのチェック結果から組み合わせを変更するリード18とリード接続チップパッド19に対し、一番近い空チップパッド14の位置を検索し、この空チップパッド14の位置までリード18とリード接続

16

チップパッド19の組み合わせを空チップパッド14方向に1チップパッド分の距離だけずらす。

【0079】仮組み合わせチェックステップS218A、及び仮組み合わせ修正ステップS219Aは組み合わせ条件SJを満たすまで繰り返し行なう。

【0080】電源バッファ配置ステップS22で、データ入力ステップS1にて入力したIOバッファ情報を基にIO領域を基本セルである1セルバッファ領域21の大きさに分割し、GND（接地）、VDD（正電源）等の電源属性ZDを読み込み、電源バッファ情報より電源属性ZDの内部リードに配置する電源バッファを読み込み、この電源バッファを電源属性ZDの内部リードに対するチップパッドに一番近いIO領域に配置する。

【0081】内部回路配置ステップS23Aで、ステップS1にて入力した内部回路情報より使用する多セル構成バッファ25、1セル構成バッファ24を読み込み、IOバッファの端子26の位置、リード接続チップパッド19の位置、電源バッファ配置（ステップS22A）で配置した電源バッファ22の配置位置より多セル構成バッファ25、1セル構成バッファ24を配置出来るIO領域を算出し、このIO領域に多セル構成バッファ25、1セル構成バッファ24を配置する。

【0082】多セル構成バッファ24の配置位置の検索方法は、多セル構成バッファ25の端子26の位置、及び個数より多セル構成バッファ25が使用する基本セル数、すなわち、1セルバッファ領域21の個数及びチップパッド数を算出する。電源ブロックが配置されていないIO領域において、多セル構成バッファ25が使用する基本セル数、及びチップパッド数の分の連続使用可能な領域を検索し、この領域に多セル構成バッファ25を配置する。

【0083】絶縁バッファ配置ステップS24で、電源属性ZDのチェックを行い、電圧や極性が異なる電源バッファが隣接し、絶縁を行なう場合は絶縁バッファ23を配置する。

【0084】組み合わせ修正ステップS25Aで、ステップS22、ステップS23A、ステップS24にて配置したIOバッファの端子26の位置からリード18とリード接続チップパッド19の組み合わせMPの修正箇所を算出し、IOブロックの配置位置に合わせてリード18とリード接続チップパッド19の組み合わせMPを変更する。

【0085】組み合わせチェックステップS26Aで、ステップS25Aで修正したリード18とリード接続チップパッド19の組み合わせMPが組み合わせ条件SJAを満たすかどうかのチェックを行なう。

【0086】組み合わせ修正ステップS25A及び組み合わせ修正ステップS26Aは組み合わせMPが組み合わせ条件SJAを満たすまで繰り返し行なう。

【0087】なお、このようにして得た組み合わせMP

17

は、実際のLSIでは対応するボンディングワイヤの配線経路に相当する。

【0088】このように、本実施の形態では、IOバッファを含む内部回路と治工具の情報を入力しているので、IOバッファの配置位置と治工具を考慮したリードフレームパッケージのリードに対するチップパッドの組み合わせを算出することができるという効果が得られる。

【0089】

【発明の効果】以上説明したように、本発明のチップパッドの検索方法は、組み合わせ検索ステップが、入力データから内部リードに対する最適な組み合わせの内部リード接続チップパッドを自動的に算出する仮組み合わせ検索ステップと、電源属性ZDを持つ内部リードに電源バッファを配置する電源バッファ配置ステップと、多セル及び1セル各構成バッファを配置するためのIO領域を配置する内部回路配置ステップと、所定の絶縁バッファを配置する絶縁バッファ配置ステップと、IOバッファの端子の位置と組み合わせ検索条件より内部リードに対する内部リード接続チップパッドの組み合わせを修正する組み合わせ修正ステップと、組み合わせ修正後の組み合わせチェックステップとを有し、すでに準備されている治工具のデータを入力して内部リードとチップパッドの組み合わせを検索することにより、治工具で予め設定している電源配置に対応する電源バッファの位置と設計対象のLSIの電源配置対応の電源バッファの位置とを一致させることが可能であるので、新たな治工具を作成する必要がなくなり、治工具作成の工数費用を削減できるという効果がある。

【0090】また、治工具のデータを入力して内部リードとチップパッドの組み合わせを検索することにより、IOバッファの配置位置を入力しているのでチップサイズや、治工具が変更になった場合でも内部リードとチップパッドと組み合わせの変更を容易にできるという効果がある。

【図面の簡単な説明】

*

18

*【図1】本発明のチップパッドの検索方法の第1の実施の形態を示すフローチャートである。

【図2】図1に示す仮組み合わせ検索の詳細を示すフローチャートである。

【図3】本実施の形態の内部リードに対するチップパッドの仮組み合わせを示す検索図である。

【図4】本実施の形態の内部リードに対するチップパッドの組み合わせを示す検索図である。

【図5】本発明のチップパッドの検索方法の第2の実施の形態を示すフローチャートである。

【図6】図5に示す仮組み合わせ検索の詳細を示すフローチャートである。

【図7】本実施の形態の内部リードに対するチップパッドの仮組み合わせを示す検索図である。

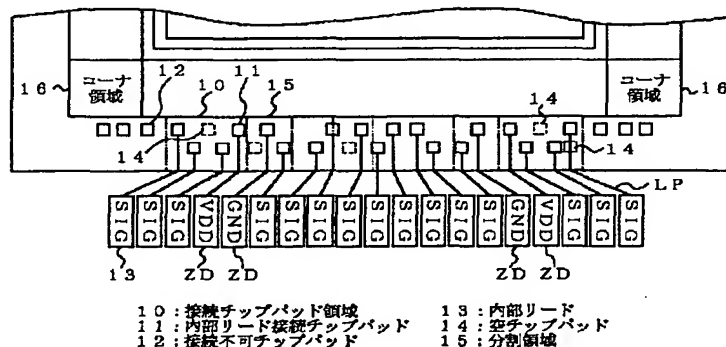
【図8】本実施の形態の内部リードに対するチップパッドの組み合わせを示す検索図である。

【図9】従来のチップパッドの検索方法の一例を示すフローチャートである。

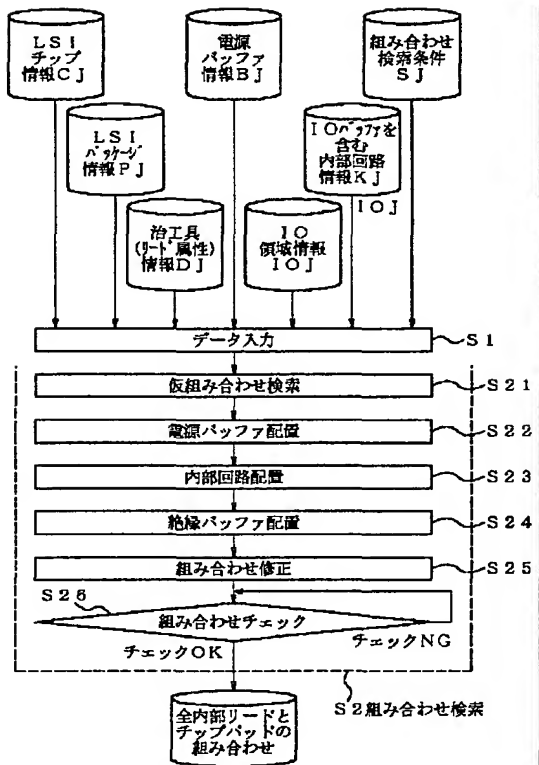
【符号の説明】

- | | |
|----------|---------------|
| 1 0 | 接続チップパッド領域 |
| 1 1 | 内部リード接続チップパッド |
| 1 2 | 接続不可チップパッド |
| 1 3 | 内部リード |
| 1 4 | 空チップパッド |
| 1 5, 2 7 | 分割領域 |
| 1 6 | コーナ領域 |
| 1 7 | コーナチップパッド |
| 1 8 | リード |
| 1 9 | リード接続チップパッド |
| 2 0 | リード接続チップパッド領域 |
| 2 1 | 1セルバッファ領域 |
| 2 2 | 電源バッファ |
| 2 3 | 絶縁バッファ |
| 2 4 | 1セル構成バッファ |
| 2 5 | 多セル構成バッファ |
| 2 6 | 端子 |

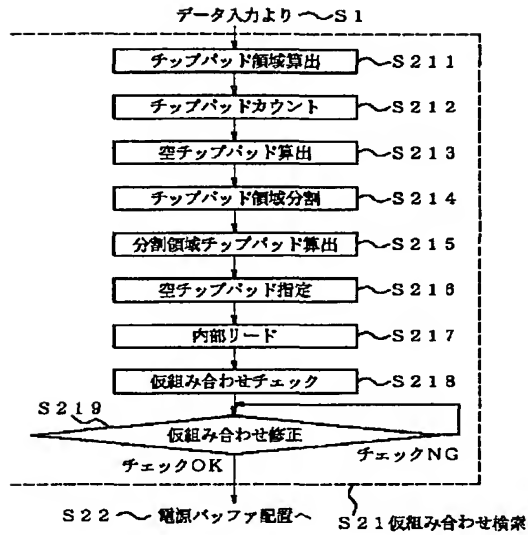
【図3】



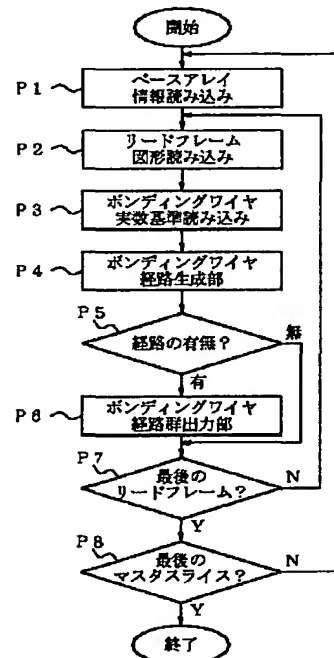
【図1】



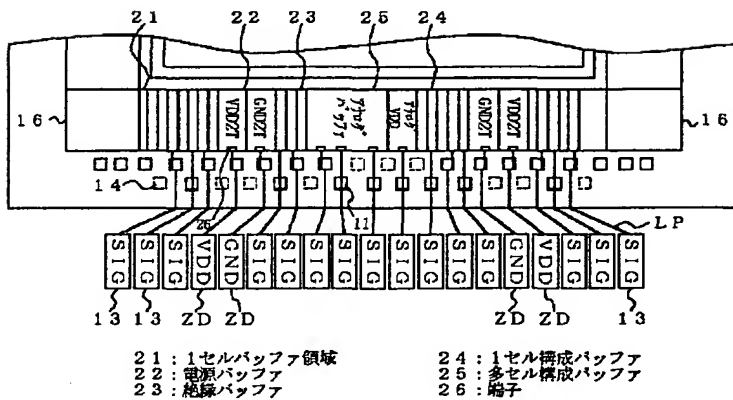
【図2】



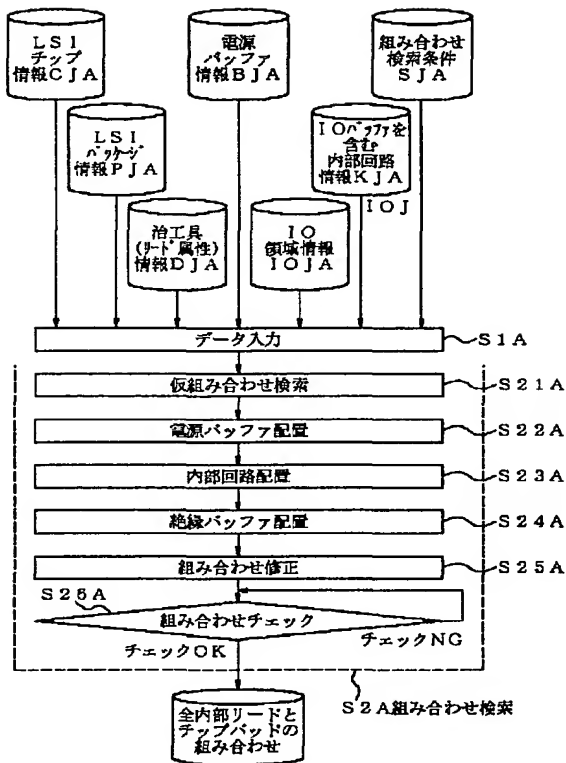
【図9】



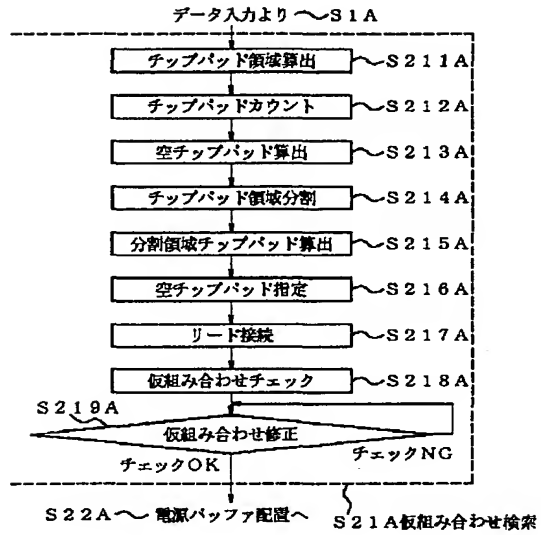
【図4】



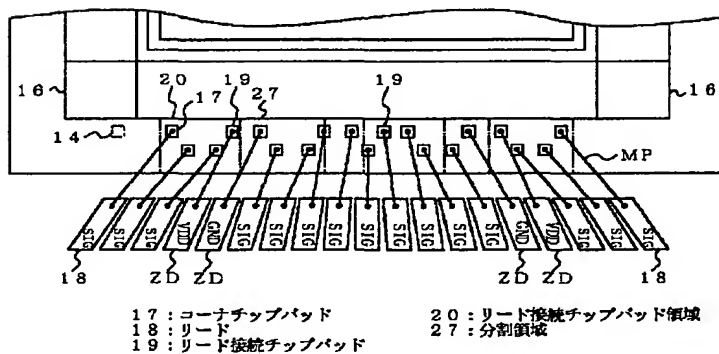
【図5】



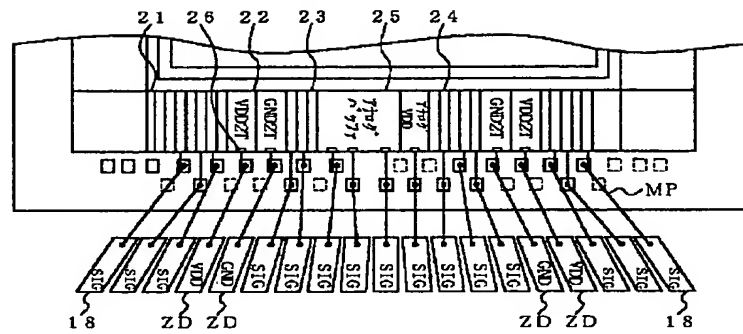
【図6】



【図7】



【図8】



フロントページの続き

F ターム(参考) 5B046 AA08 BA05
 5F064 BB26 BB27 BB28 DD03 DD25
 DD42 DD44 DD45 EE08 EE15
 EE17 GG10 HH10 HH12 HH13